

MODULE RSFFnand

"RS-Flipflop, aufgebaut aus 2 NAND"

" A c h t u n g Lowaktiv!

DECLARATIONS "***** Ein- und Ausgänge *****

Set PIN 15; "Taster T1 = Setzen, lowaktiv
 Reset PIN 17; "Taster T2 = Rücksetzen, lowaktiv
 FFQ PIN 3 ISTYPE'BUFFER,COM'; "FF-Ausgang Q
 FFQN PIN 10 ISTYPE'BUFFER,COM'; "invert.Ausgang QN

EQUATIONS

FFQ = !(Set & FFQN); "NAND am FFQN-Ausgang
 FFQN = !(Reset & FFQ); "NAND am FFQ-Ausgang

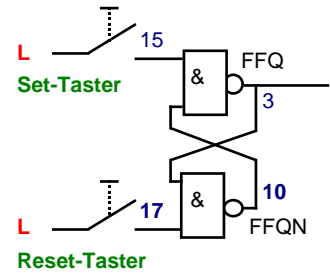
"beim Druck auf T1 wird Setzen Pin 15 Low
 "beim Druck auf T2 wird Rücksetzen Pin 17 Low

TEST_VECTORS "***** Simulation *****

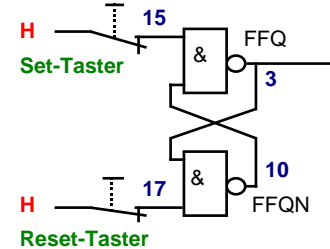
([Set,Reset] -> [FFQ,FFQN]); "Achtung Lowaktiv!
 [1 ,0] -> [.x.,.x.]; "Rücksetzen
 [1 ,1] -> [.x.,.x.]; "Speichern
 [0 ,1] -> [.x.,.x.]; "Setzen
 [1 ,1] -> [.x.,.x.]; "Speichern
 [0 ,0] -> [.x.,.x.]; "**Verboten,** weil Q = QN
 "Simulation meldet: Instable circuit beim Übergang von R=S=0 nach R=S=1
 [0 ,0] -> [.x.,.x.]; "Speichern

END

Denkweise: Schliesser mit Low

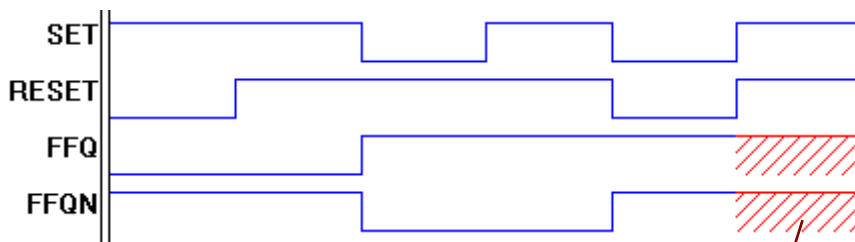


Denkweise: Öffner mit High



Simulationsergebnis:

drücken Sie **2x** den Run-Button



Instabiler Zustand nach dem Übergang vom verbotenen Zustand auf Speichern



Anmerkung zur ispLSI1016-Experimentierplatine:

Unbeschaltete PINs des 1016 werden durch die Chip-internen Pull-UP-Widerstände auf High gehalten. Die Schalter und Taster schließen nach Masse, sind also Low-aktiv. Zum besseren Verständnis aller anderen Beispiele -außer diesem- ist der Bestückungsaufdruck der Platine in high-aktiver Denkweise ausgeführt.